

CLIPPEDIMAGE= JP360039850A
PAT-NO: JP360039850A
DOCUMENT-IDENTIFIER: JP 60039850 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 1, 1985

INVENTOR-INFORMATION:

NAME

ANZAI, KENJI

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP58148058

APPL-DATE: August 15, 1983

INT-CL_(IPC): H01L021/88; H01L021/302

US-CL-CURRENT: 438/680, 438/780

ABSTRACT:

PURPOSE: To simplify a process, and to form a multilayer wiring by simultaneously executing the etching of a wiring material layer and the removal of a photo-resist pattern.

CONSTITUTION: A photo-resist pattern 14 on a wiring material layer 13 applied in size thicker than desired finishing film thickness is formed in size thinner than the film thickness of the wiring material layer 13. Dry etching 15 is continued until the photo-resist pattern 14 is removed. The etching is executed under conditions in which the ratio of the etching rates of the photo-resist pattern 14 and the wiring material layer 13 is equal and anisotropic etching characteristics are given. Dry etching 16 is continued until an insulating film 12 as a foundation in the thin section of the wiring

material layer 13 is exposed under conditions having isotropic etching characteristics. An intermediate insulating film 17 is applied, but a smooth surface shape is obtained at the step of application in the intermediate insulating film 17 because a first layer wiring 13' is formed in a trapezoid section, and a second layer wiring material layer 18 can be formed on the film 17.

COPYRIGHT: (C)1985,JPO&Japio

⑫ 公開特許公報(A) 昭60-39850

⑬ Int. Cl.⁴H 01 L 21/88
21/302

識別記号

庁内整理番号

6708-5F
8223-5F

⑭ 公開 昭和60年(1985)3月1日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-148058

⑰ 出 願 昭58(1983)8月15日

⑱ 発 明 者 安 西 賢 二 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

多層配線構造を有する半導体装置の製造方法において、絶縁膜上に第1の配線のための第1の配線材料層を所望の仕上り膜厚より厚く被着する工程と、その第1の配線材料層上に、その材料層膜厚より薄い膜厚にて第1の配線形成のためのフォトレジストパターンを形成する工程と、そのフォトレジストパターンと前記第1の配線材料層とでエッチングレート比が等しく、かつ非等方性なる特性を有するエッチング条件にて、フォトレジストパターンが除去されるまで、そのフォトレジストパターンと第1の配線材料層をドライエッチングする工程と、続いて等方性なる特性を有するドライエッチングに変えて、所望の第1の配線パターン以外の下地の絶縁膜が露出するまで第1の配線材料層をドライエッチングする工程と、しかる後、第1の配線パターンとなつた第1の配線材料

層上を含む前記絶縁膜上に中間絶縁膜を形成し、続けてその上に第2の配線用配線材料層を形成する工程とを具備してなる半導体装置の製造方法。

3. 発明の詳細な説明

(技術分野)

この発明は、多層配線を有する半導体装置の製造方法に関するものである。

(従来技術)

従来の半導体装置の製造方法、特に多層配線の製造方法を第1図により説明する。

第1図(a)において、1は半導体基板、2はその表面に形成された絶縁膜であり、まず、この絶縁膜2上に第1層の配線のための配線材料層、たとえば多結晶シリコン層またはAl-Si層を形成する。次に、その配線材料層上に、その材料層より厚くフォトレジストパターン3を形成する。そして、そのフォトレジストパターン3のドライエッチングによる寸法変化を極力おさえる条件にて、等方性あるいは非等方性どちらか単一のモードで、前記フォトレジストパターン3をマスクとして配線

材料層のドライエッチングを施す。これにより、配線材料層は第1層の配線パターン以外が除去され、第1図(a)に示すように第1層の配線4となる。

しかる後、ドライエッチングにより損傷を受け変成したフォトレジストパターン3の表層部3'を酸素プラズマ中で灰化除去し、続いて残りのフォトレジストパターン3を硫酸-過酸化水素などのフォトレジスト剥離溶液にて除去する。

引続き、第1層の配線4上を含む前記絶縁膜2上に中間絶縁膜5を被着するが、前記方法にて形成された第1層の配線4上の中間絶縁膜形状は第1図(b)のようになり、その上に形成される第2層の配線材料層は断線やショートなどの問題を生じる。

そこで、次に、中間絶縁膜5の平坦化処理工程を導入して、中間絶縁膜5の形状を第1図(c)のように変化させる。ここで、中間絶縁膜5の平坦化処理は、通常、中間絶縁膜5に高濃度燐ガラスを使用するから、1000℃30分程度の熱処理を施すことにより達成される。

り、まず、この絶縁膜12上に第1層配線のための配線材料層13を形成する。この配線材料層13はたとえばAl-Si膜または不純物を含む多結晶シリコン膜からなり、所望の仕上り膜厚より厚く（たとえば7000Å厚程度に）被着される。次に、この配線材料層13上に第1層配線形成のためのフォトレジストパターン14を周知のフォトリソ技術により形成する。ここで、フォトレジストパターン14は、前記配線材料層13の膜厚より薄く（たとえば5000Å厚程度に）形成される。

しかる後、そのフォトレジストパターン14と配線材料層13に対して第2図(b)に示すようにドライエッチング15を施し、フォトレジストパターン14がなくなるまで、そのドライエッチング15を続ける。ここで、このドライエッチング15は、前記フォトレジストパターン14と配線材料層13とでエッチングレート比が等しく、かつ非等方性なるエッチング特性を有する条件にて行われる。このような条件は、いま、配線材料層13がAl-Si膜(1.5%)であるとする、BCl₃ガスを

この平坦化処理を終えた後、第1図(d)に示すように第2層の配線材料層6を前記中間絶縁膜5上に形成する。そして、周知のフォトリソ技術にて、前記材料層6を第2層配線パターンにパターン化することにより、多層配線形成工程を終了する。

しかるに、このような方法では、フォトレジストパターン3の除去工程と中間絶縁膜5の平坦化工程が必要であり、工程が複雑であるという欠点があつた。

(発明の目的)

この発明は上記の点に鑑みなされたもので、工程を簡略化して多層配線を形成することができる半導体装置の製造方法を提供することを目的とする。

(実施例)

以下この発明の一実施例を第2図を参照して説明する。

第2図(a)において、11はシリコン半導体基板、12はその表面に形成された、たとえば熱成長SiO₂膜あるいはCVD SiO₂膜からなる絶縁膜であ

を2000cc/min導入して20Paのガス圧に保ち、かつRFパワーとして0.5W/cm²を印加することにより達成される。この場合のエッチングレートは、フォトレジストパターン14および配線材料層(Al-Si膜)13共に400Å/minである。そして、このようなドライエッチング15を施すことによりフォトレジストパターン14はなくなり、かつ配線材料層13は、フォトレジストパターン14下の部分はそのままの厚さで残るが、その他の部分は約2000Åの厚さとなる。

次に、等方性なるエッチング特性を有する条件に変えてドライエッチング16を、第2図(c)に示すように配線材料層13に対して施す。このドライエッチング16は、配線材料層13の薄い部分(第1層配線パターン以外の部分)の下地の絶縁膜12が露出するまで続ける。したがって、このドライエッチング16を終了すると、配線材料層13は、第2図(d)に示すように第1層配線パターンの部分のみ残り、第1層配線13'となる。また、この第1層配線13'は同図に示すように断面台形

状になる。

しかる後、第1層配線13'上を含む前配絶縁膜12上に、第2図(e)に示すように中間絶縁膜17を被着させる。この中間絶縁膜17はたとえばPSG SiO₂膜からなり、5000～6000Å厚に形成される。

このようにして中間絶縁膜17が被着されるが、前配第1層配線13'が断面台形状に形成されているので、中間絶縁膜17は被着段階で平滑な表面形状が得られる。したがって、この一実施例では中間絶縁膜17の平坦化処理工程を省略して、次に、第2図(f)に示すように、第2層配線材料層18を中間絶縁膜17上に形成することができる。

そして、その配線材料層18を第2層配線パターンにパターン化することにより、多層配線形成工程を終了する。

なお、第2層以後の配線材料層のパターニングに第2図(b)、(c)に示したエッチング方法を適用して、3層以上の多層配線構造を形成することもできる。

仕上るので、その上に被着される中間絶縁膜の形状も平滑となり、中間絶縁膜の平坦化処理工程も除去できる利点がある。これによつて従来平坦化処理に適用されていた熱処理工程が省略され、高密度半導体装置の浅い接合形成にも有利となる。同時に、中間絶縁膜には高濃度の磷原子が含まれないと平滑化が達成されない欠点があったが、この発明により磷濃度の低減化が達成でき、配線材料層の磷原子による腐食の促進効果がおさえられる利点がある。その他、この発明によれば、多層配線を有する半導体装置の配線歩留りの向上も期待できる。

なお、これらの効果は、各層の配線材料層のエッチングにこの発明の方法を適用して、形成される配線層が多層になればなるほど著しい。

4. 図面の簡単な説明

第1図は従来の半導体装置の製造方法を説明するための断面図、第2図はこの発明の半導体装置の製造方法の一実施例を説明するための断面図である。

(発明の効果)

以上の一実施例から明らかなように、この発明の方法では、絶縁膜上に第1の配線材料層を所望の仕上り膜厚より厚く被着した後、その第1の配線材料層上に、その材料層より薄い膜厚にてフォトレジストパターンを形成し、しかる後、そのフォトレジストパターンと前配第1の配線材料層とでエッチングレート比が等しく、かつ非等方性なる特性を有するエッチング条件にて、フォトレジストパターンが除去されるまで、そのフォトレジストパターンと第1の配線材料層をドライエッチングし、続けて等方性なる特性を有するドライエッチングに変えて、所望の第1の配線パターン以外の下地の絶縁膜が露出するまで第1の配線材料層をドライエッチングする。したがって、この方法によれば、第1の配線材料層のエッチングとフォトレジストパターンの除去を同時に行えるようになり、フォトレジスト灰化工程や危険な強酸溶液によるフォトレジスト剝離工程は省略できる。

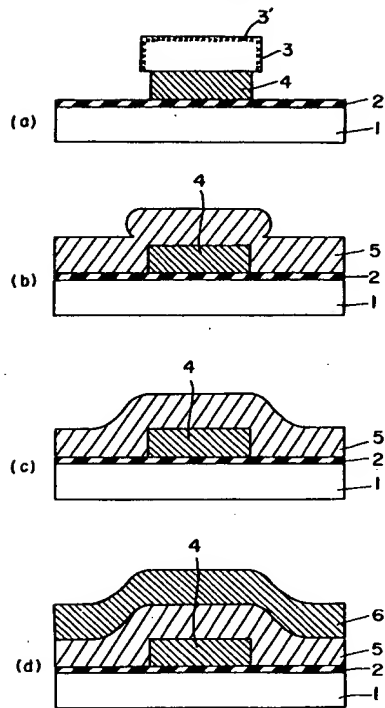
また、第1の配線材料層の形状は断面台形状に

12…絶縁膜、13…配線材料層、13'…第1層配線、14…フォトレジストパターン、15、16…ドライエッチング、17…中間絶縁膜、18…第2層配線材料層。

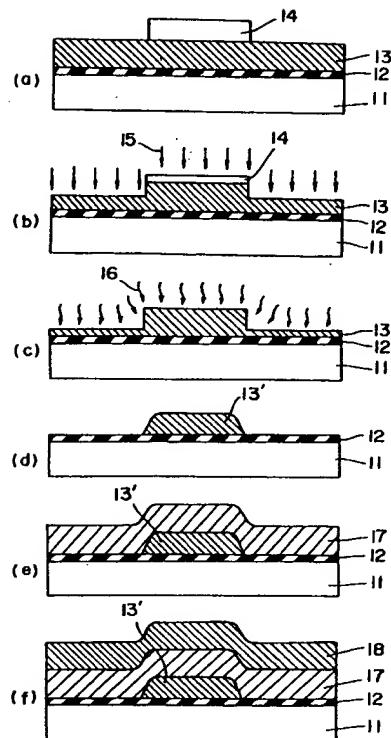
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池弘



第 1 図



第 2 図



手 続 補 正 書

昭和 58 年 1 月 12 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 58 年 特 許 願 第 148058 号

2. 発明の名称

半 導 体 装 置 の 製 造 方 法

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 神 電 気 工 業 株 式 会 社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第10号郵便

弁理士 菊 池 弘

コード第6568号 電話 591-3065・501-2453

5. 補正命令の日付 昭和 年 月 日 (自発)

6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

~~別紙の通り~~

- (1) 明細書 3 頁 19 行「~~50ナ.10~~」を「し」と訂正する。